

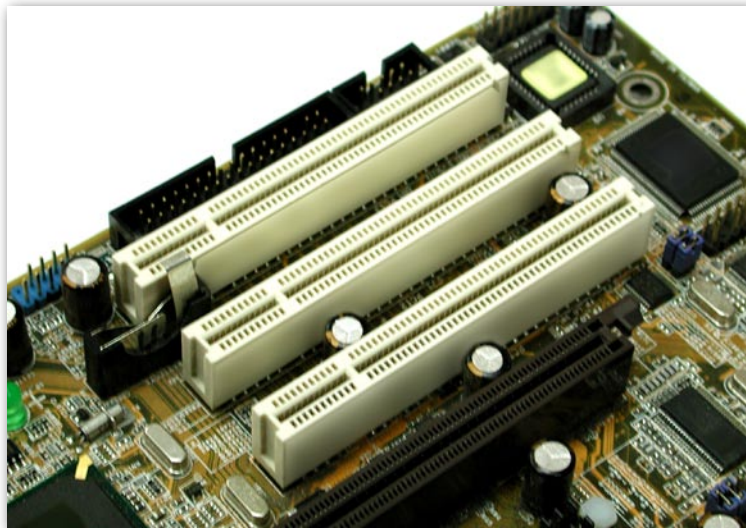
## PCI 串列協定測量與分析介紹

### 前言

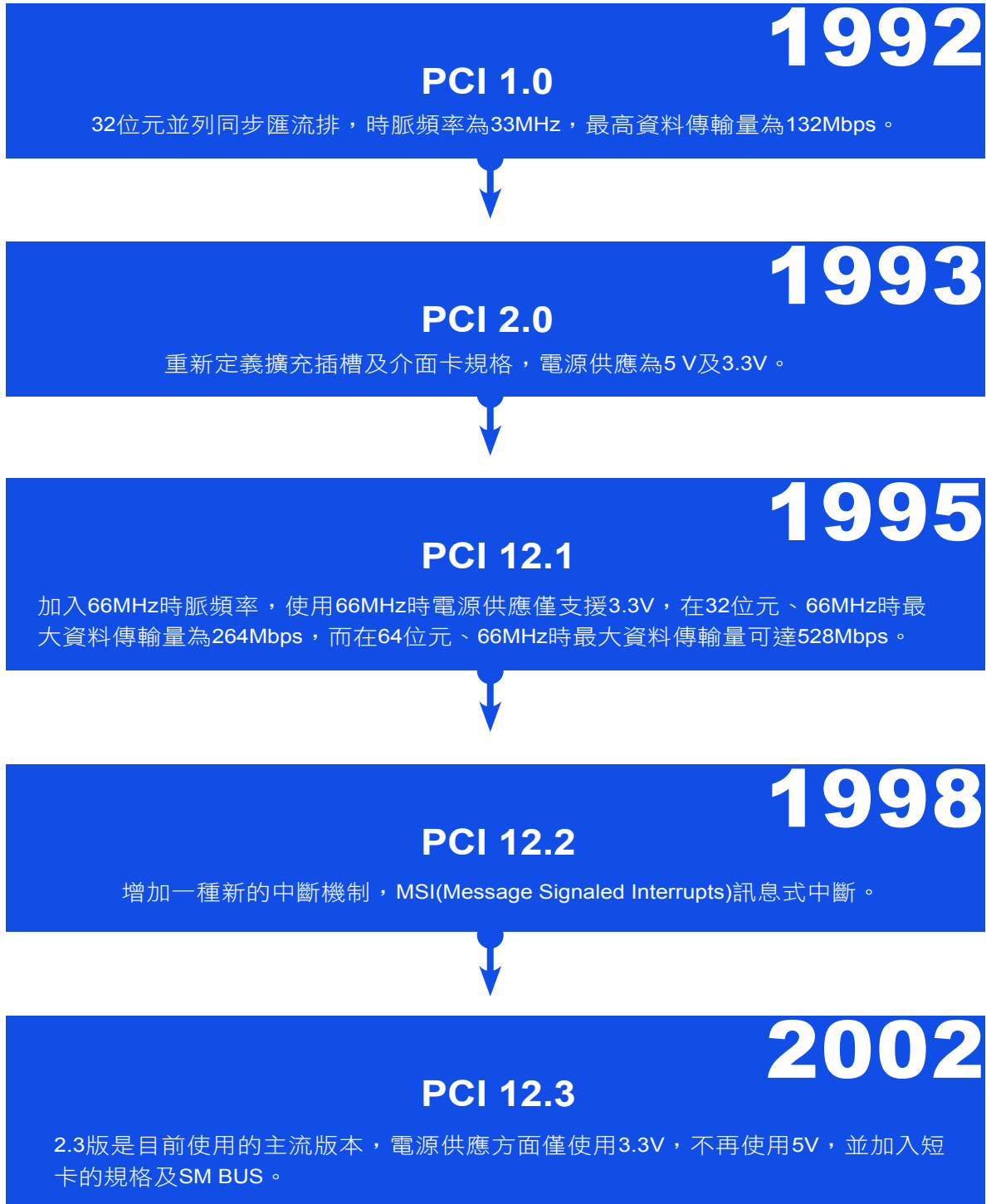
無論是工業電腦或是個人電腦，CPU都是扮演著重要核心的角色，就好比人類的大腦般，無時無刻都需要處理許多週邊傳回的訊息或是發送訊息，但是僅只有CPU是無法構成一台電腦系統，還需要透過各式各樣的介面將週邊裝置連接，如此一台電腦才能夠進行運作。PCI便是屬於這種串列協定分析。

PCI原本是針對486系列及Pentium系列的處理器所開發，在現今的電腦系統中演變成十分常見的介面，也已經取代了早期電腦所使用的ISA和VESA成為目前主流，隨著科技不斷研發，PCI也逐漸演變出一些速度更快的介面，如PCI-X、PCI-Express等，雖然目前個人電腦系統中大多以PCI-Express為主，但是PCI在工業電腦或是嵌入式系統中仍佔有一席之地。

PCI標準於1990年時由Intel開發，在1992年Intel發表PCI1.0，直到1993年四月由PCI-SIG(PCI策略聯盟 PCI Special Interest Group)發表PCI2.0，PCI才正式成為主機板與週邊介面溝通的標準。



► 圖一：主機板上PCI插槽

 PCI版本演進歷程

## PCI串列協定分析專用晶片

PCI串列協定分析非常複雜。在開發PCI介面產品時通常使用可編輯邏輯晶片來完成PCI串列協定，但其複雜度及難度都是很大的，為了簡化設計可以使用第三方生產的PCI匯流排協定晶片，如PLX的PCI9080、PCI9052、PCI9060ES，AMCC的S5933，S5920，Intel公司的i960RP等。

⊕ PCI(Peripheral Component interconnect)在電腦主機板中負責與外部設備進行溝通，一般標準PCI可分為兩種形式：

- 直接內嵌於主機板上的積體電路，在PCI規範中稱為平面設備(Planar device)。
- 安裝在插槽上的擴充卡。

而且PCI匯流排控制週邊裝置時使用DMA(直接記憶體存取Direct Memory Access)方式進行傳輸且對CPU使用率低，可大幅提昇系統效率。

PCI依照數據傳輸的方向性及驅動特性可區分為五種類型：

- in：輸入訊號。
- out：輸出驅動訊號。
- t/s：表示雙向三態輸入/驅動訊號輸出。
- s/t/s：持續三態 (Sustained Tri-State)。
- o/d：開洩極 (Open Drain)。

PCI串列協定分析訊號通道共有100個，分別如下說明：

1. 系統訊號		
訊號名稱	狀態類型	說明
CLK	in	為PCI上所有通道提供時脈訊號，最高可達66MHz
RST	in	重置訊號，提供PCI內的暫存器或計時器等相關訊號重置
2. 位址及、資料線		
訊號名稱	狀態類型	說明
AD0~AD31	t/s	位址、資料共用的輸入/輸訊號
C/BE0~3	t/s	匯流排命令、位元共用的輸入/輸出訊號
3. 控制訊號		
訊號名稱	狀態類型	說明
FRAME	s/t/s	框架週期訊號
IRDY	s/t/s	主裝置準備進行資料交換
TRDY	s/t/s	從裝置準備進行資料交換
STOP	s/t/s	停止資料傳輸訊號，由從裝置發出給主裝置請求結束目前資料傳送
LOCK	s/t/s	裝置鎖定，用來固定匯流排裝置，確保傳輸時資料正確
IDSEL	s/t/s	初始化裝置
4. 仲裁訊號		
訊號名稱	狀態類型	說明
REQ	t/s	匯流排資料傳遞請求
GNT	t/s	匯流排資料傳遞允許

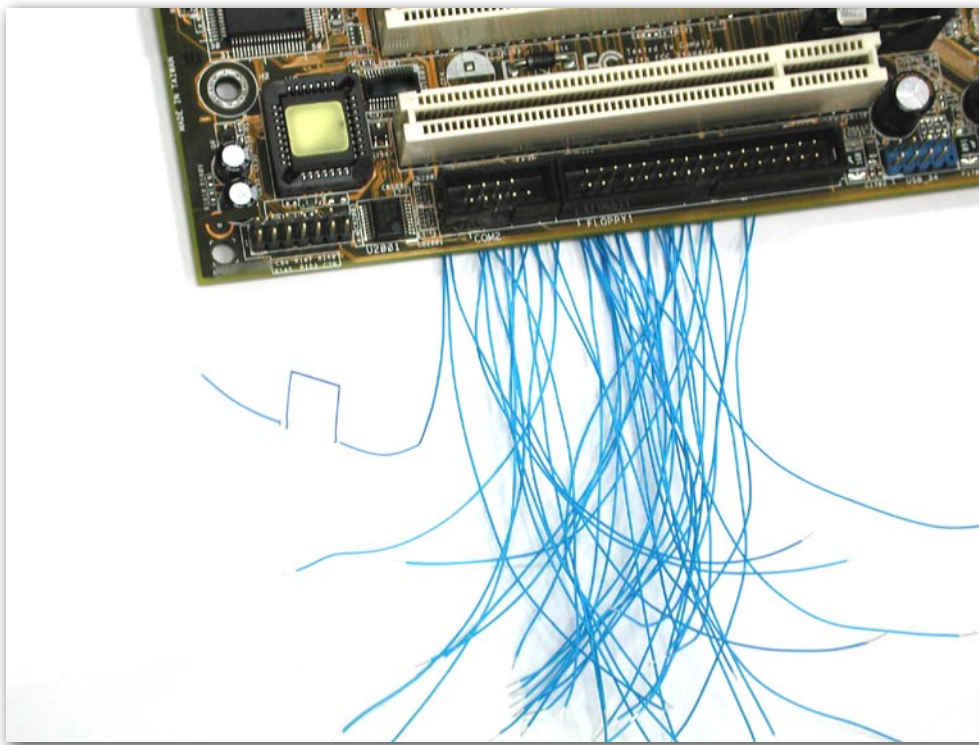
5. 錯誤報告訊號		
訊號名稱	狀態類型	說明
PERR	s/t/s	資料同位元校驗錯誤報告
SERR	o/d	系統錯誤報告
6. 中斷訊號		
訊號名稱	狀態類型	說明
INTA ~ INTD	o/d	使用於功能中斷
7. 快取支援訊號		
訊號名稱	狀態類型	說明
SBO	in/out	窺探返回
SDONE	in/out	窺探完成
8. 64位元擴展訊號		
訊號名稱	狀態類型	說明
AD32~AD63	t/s	當PCI匯流排處於64位元傳輸時，所使用的資料及位址傳輸線
C/BE4~7	t/s	當PCI匯流排處於64位元傳輸時，匯流排、位元共用的輸入/輸出訊號
REQ64	t/s	64位元時的傳輸請求
ACK64	t/s	64位元時的傳輸確認
PAR64	t/s	同位元校驗

► 表一 PCI串列協定分析訊號

## 使用孕龍邏分析儀測量PCI 串列協定

因PCI匯流排腳位數較多，目前僅支援孕龍科技B系列邏輯分析儀，下面將以孕龍科技LAP-B(702000)做測量示範。

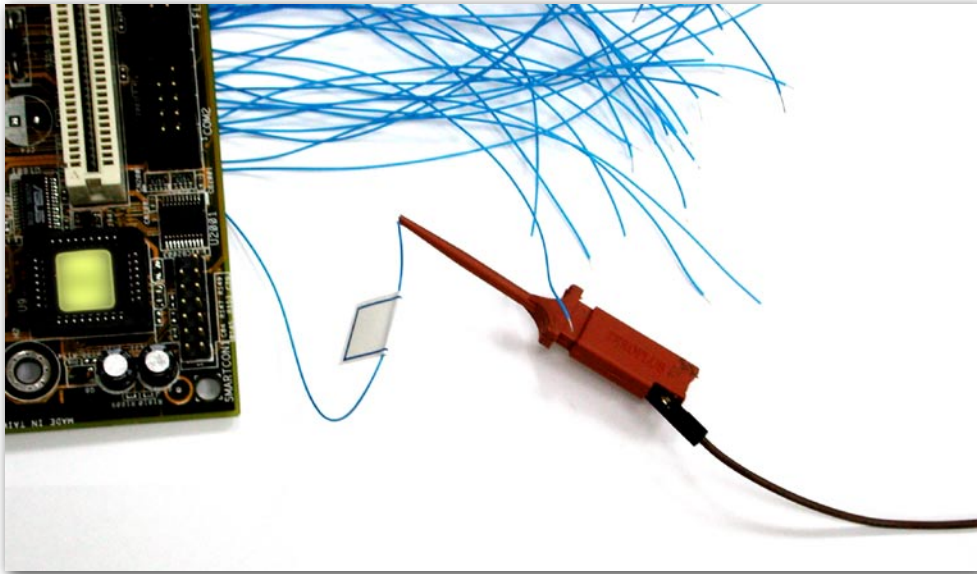
⊕ 待測目標為主機板上的PCI插槽，這部份透過焊接OK線的方式將測試點拉出。



► 圖二 從主機板背面焊接點上將PCI測試點拉出

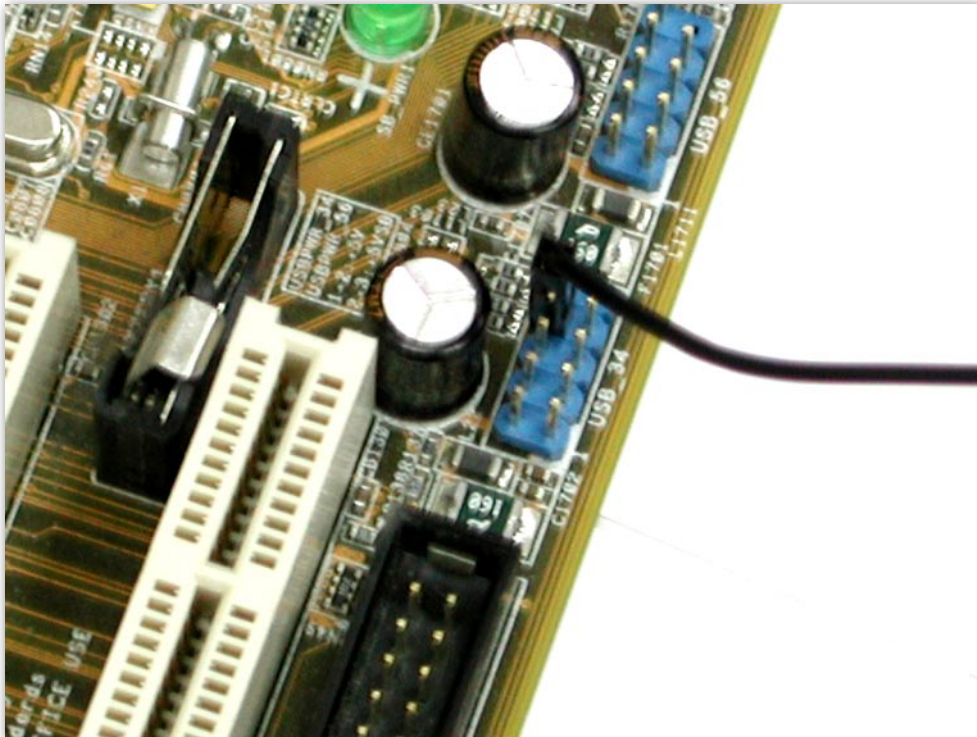


接著再使用孕龍科技邏輯分析儀隨附測試鉤將每一個PCI測試點鉤住。



▶ 圖三 使用孕龍邏輯分析儀測試鉤與測試點連接

訊號連接完成後，再將邏輯分析儀的接地線接至主機板接地端，這邊使用USB埠的接地腳。

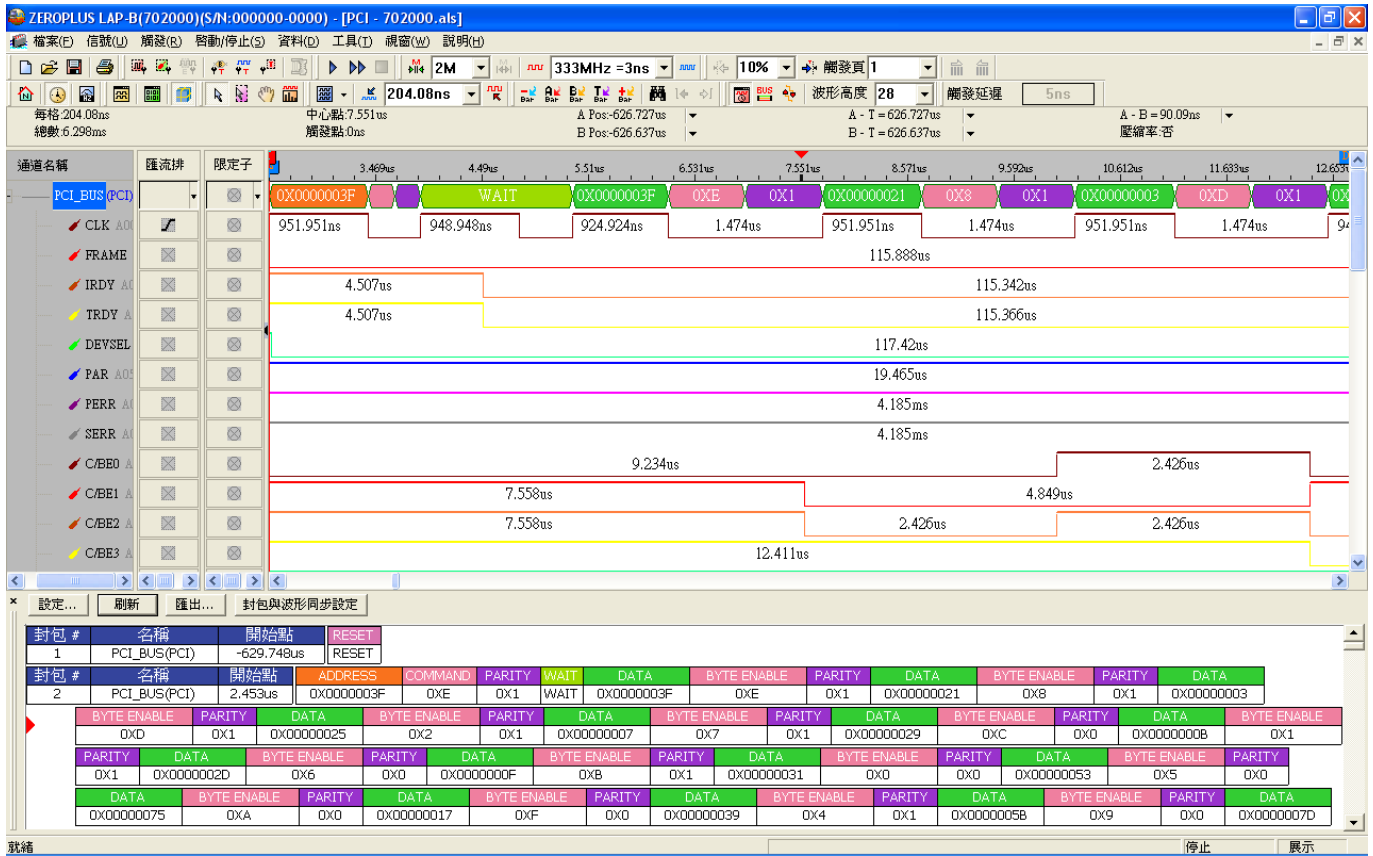


▶ 圖四 將邏輯分析儀接地線接至主機板接地端

再PCI匯流排上的測試點依序接至LAP-B(702000)後，依序設定相關軟體參數：

- 設定記憶深度為2M
- 設定取樣率為333MHz
- 設定觸發條件為CLK通道上升緣

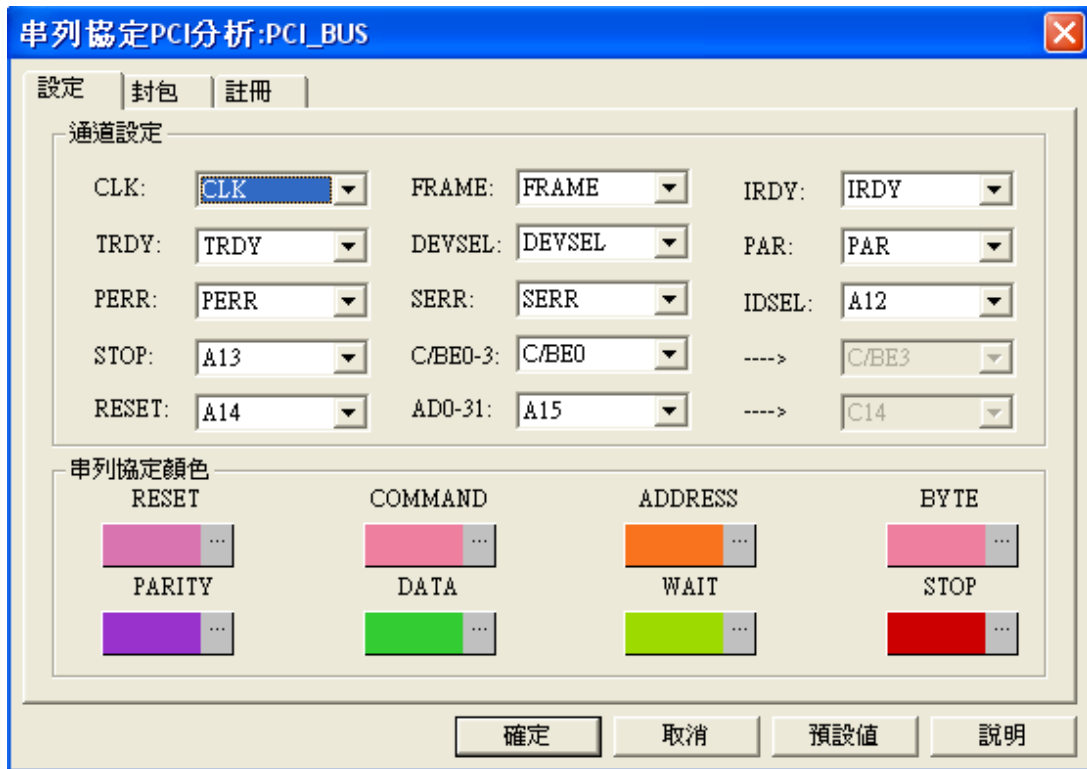
參數設定完畢後即可啟動軟體準備分析，擷取完成後的畫面如圖五所示。



► 圖五 使用孕龍邏輯分析儀進行PCI串列協定解碼



孕龍科技邏輯分析儀PCI串列協定分析模組在設定方面簡單易懂，如圖六所示，使用者僅需設定好相對通道後，按下確定便可進行分析。



► 圖六 PCI串列協定分析畫面

## 孕龍科技PCI串列協定解碼模組封包格式說明

透過孕龍科技PCI串列協定解碼模組可解出PCI匯流排中的RESET、COMMAND、ADDRESS、BYTE、PARITY、DATA、WAIT及STOP，下面將針對上述封包逐一介紹。

- **RESET**: RESET訊號是系統的重置訊號，在任何情況下，只要RESET為0代表PCI裝置正在Reset，直到RESET變為1代表Reset結束。
- **COMMAND**: 按照C/BE3 ~ C/BE0的順序排列，可分為下列各種命令。
- **中斷應答**: 中斷應答是一種讀取的命令，由主裝置對申請中斷裝置讀取中斷向量。
- **特殊週期**: 屬於一種在PCI匯流排內的廣播機制，傳遞各種從裝置訊息，I/O讀取及I/O寫入：用來存取I/O位址空間。
- **保留**: 為增加PCI命令擴充性，而將該命令位元空下，此時PCI匯流排中所有設備均不會對此命令產生動作。
- **記憶體讀取/寫入**: 用來讀寫由位址映射到記憶體空間的I/O裝置。
- **組態讀取/寫入**: 專門存取裝置中的組態設定。
- **多重記憶體讀取**: 當資料傳輸量較大需使用多條快取時，此命令可讓記憶體控制器先搜尋快取線。
- **雙位址週期**: 允許32位元匯流排使用64位元的位址做裝置溝通。
- **記憶體單線讀取**: 該命令與記憶體讀取不同之處為僅讀取一條快取線直到結束，如此可增加記憶體傳輸的效率。
- **記憶體寫入與作廢**: 該命令與記憶體寫入不同之處為僅針對某一條快取線進行寫入，強迫快取控制器清除對應的寫入區。

C/BE[3:0]	PCI命令
0000	中斷應答
0001	特殊週期
0010	I/O讀取
0011	I/O寫入
0100	保留
0101	保留
0110	記憶體讀取
0111	記憶體寫入
1000	保留
1001	保留
1010	組態讀取
1011	組態寫入
1100	多重記憶體讀取
1101	雙位址週期
1110	記憶體單線讀取
1111	記憶體寫入與作廢

► 表二 PCI命令一覽

- **ADDRESS**：由AD0 ~ AD31組成，表示PCI匯流排傳送資料時所使用的位址。
- **BYTE**：BYTE ENABLE，代表該筆資料中的DATA BYTE是否有效。
- **PARITY**：同位元校驗，用於資料傳送時判斷資料內容是否正確。
- **DATA**：由AD0 ~ AD31組成，表示PCI匯流排所傳送的資料，進行解碼時AD0 ~ AD31會先傳送ADDRESS，確認ADDRESS解碼完畢後開始表示DATA資料內容。
- **WAIT**：在RESET為1時，FRAME和IRDY都為1表示匯流排處於閒置狀態解碼模組以WAIT表示，此外當COMMAND判斷為讀取狀態時，從FRAME下降緣之後CLK的第一個上升緣起，開始解碼。
- **STOP**：PCI匯流排是以主從方式進行裝置資料傳遞，STOP是當從裝置停止傳輸時發送給主裝置表示申請資料傳輸停止。

 總 結

PCI串列協定分析雖然複雜，但是功能強大也十分受到廣泛應用，面對開發時使用合適的儀器進行開發輔助便能夠事半功倍，孕龍科技邏輯分析儀PCI串列協定分析模組操作方便，可將繁雜的解碼過程透過軟體快速顯示於電腦螢幕中，讓工程師無需再耗費過多時間於協定分析上，且孕龍科技邏輯分析儀目前已推出五十種串列協定分析模組，針對市面上常見的串列協定均有支援，孕龍科技更提供客製化模組服務，更可幫助工程師在面對開發專案中更得心應手，若想了解更多詳細資訊請至孕龍科技網站[www.zeroplus.com.tw](http://www.zeroplus.com.tw)